|  |
| --- |
|  |
| **《数字电子技术基础》** |
| **实验指导书** |
|  |
|  |
|  |

|  |
| --- |
| 西北工业大学 |

**2017/11/15**

目录

[实验一 实验环境搭建与简单组合逻辑设计 3](#_Toc337674207)

[实验二 可综合组合逻辑电路实验 5](#_Toc337674208)

[实验三 可综合时序逻辑电路实验 8](#_Toc337674209)

[实验四 状态机设计与FPGA实现 11](#_Toc337674210)

# 实验一 实验环境搭建与数字电路正向设计方法

**一、实验目的**

1. 学习Quartus和ModelSim两种EDA工具的使用方法；

2．Verilog硬件描述语言入门；

3．初步了解基本组合逻辑电路的设计方法；

4．学习测试模块（Testbench）的结构和编写方法；

**二、实验内容**

1．本次实验学习ModelSim仿真工具的安装并学习如何使用。

2．使用ModelSim工具，使用Verilog HDL语言完成课本Figure2.72，并写出测试模型，对其进行比较全面的测试。

3. 使用ModelSim工具，使用Verilog HDL语言完成课本Figure2.40、Figure2.42电路设计，并编写testbench测试，对比分析测试结果。

4．使用ModelSim工具，使用Verilog HDL语言完成课本Figure2.45，并编写testbench测试，分析测试结果。

**三、实验仪器、设备**

可安装开发工具ModelSim、Quartus的PC机、Altera DEII-115实验箱

**四、实验步骤**

1． 建立工程文件，编写模块源码和测试模块,要求测试模块对源文件进行比较全面的测试；

2． 编译源码和测试模块，用测试模块对源文件进行测试，并进行仿真；

**五、实验报告要求**

1． 要求实验报告中有编写模块源码和测试模块；

2． 要求实验报告中有仿真后的波形；

3. 要求对产生的波形进行必要的分析；

4． 描述Modelsim软件使用详细步骤（附图）；

5． 本次实验收获和心得。

6． 请提交电子版实验报告，文件名格式：班号\_学好\_姓名\_实验x.doc

**六、实验注意事项**

1． 采用Altera公司的Cyclone IV系列的EP4CE115F29C7型FPGA作为建立工程、代码编译、综合库时使用的库器件；

2． 综合、布局布线使用quartus II自带工具；

3． 仿真使用ModelSim工具。

# 实验二 可综合组合逻辑电路实验

**一、实验目的**

1． 掌握可综合Verilog语言进行组合逻辑设计的使用；

2． 学习测试模块的编写、综合和不同层次的仿真。

**二、实验内容**

1．设计一款可综合的2选1多路选择器，并编写testbench测试

2．设计一款可综合的2-4译码器，并编写testbench测试

3．设计一款可综合的8-3编码器，并编写testbench测试

4．设计一款可综合的1位二进制比较器，并编写testbench测试

5．设计一款可综合的2+2位简单全加器，并编写testbench测试

**三、实验仪器、设备**

安装开发工具ModelSim、Quartus的PC机、Altera DEII-115实验箱

**四、实验步骤**

1．建立工程文件，编写模块源码和测试模块,要求测试模块能对源文件进行比较全面的测试。

2．编译源码和测试模块，用测试模块对源文件进行测试，并综合仿真。得到波形图。

3．记录数据并完成实验报告。

**五、实验报告要求**

1． 要求实验报告中有编写模块源码和测试模块；

2． 要求实验报告中有仿真后的波形；

3. 要求对产生的波形进行必要的分析；

4． 本次实验收获和心得。

5． 请提交电子版实验报告，文件名格式：班号\_学好\_姓名\_实验x.doc

**六、实验注意事项**

1． 采用Altera公司的Cyclone IV系列的EP4CE115F29C7型FPGA作为建立工程、代码编译、综合库时使用的库器件；

2． 综合、布局布线使用quartus II自带工具；

3． 仿真使用ModelSim工具。

# 实验三 可综合时序逻辑电路实验

**一．实验目的：**

1． 掌握可综合Verilog语言进行时序逻辑设计的使用；

2． 学习测试模块的编写、综合和不同层次的仿真。

**二．实验内容：**

1．设计一款时钟上升沿触发的D寄存器,并编写testbench.

2．设计一款4bBit具有并行加载功能的移位寄存器,并编写testbench

3．设计一款4 bit带复位功能的计数器,并编写testbench和仿真波形,请包括以下测试点:电路是否能复位? 是否能按预期增加计数? 是否按预定溢出?

4．如何设计一个定时器,(如：时钟频率20M,定时为1秒)并编写testbench（在第3题的基础上完成）

5．串并转换器设计与仿真(可选作)

**三．实验设备：**

安装开发工具ModelSim、Quartus的PC机、Altera DEII-115实验箱

**四、实验步骤**

1．建立工程文件，编写模块源码和测试模块,要求测试模块能对源文件进行比较全面的测试。

2．编译源码和测试模块，用测试模块对源文件进行测试，并综合仿真。得到波形图。

3．记录数据并完成实验报告。

4. 使用QuartusII软件的RTL viewer工具查看/确认所设计的电路。

**五、实验报告要求**

1． 描述QuartusII软件基本使用步骤（上） （附图）；

2． 要求实验报告中有编写模块源码和测试模块

3． 要求实验报告中有仿真后的波形

4． 要求实验报告中有综合后RTL图形

5． 本次实验收获和心得

6． 请提交电子版实验报告，文件名格式：班号\_学好\_姓名\_实验x.doc

**六、实验注意事项**

1． 采用Altera公司的Cyclone IV系列的EP4CE115F29C7型FPGA作为建立工程、代码编译、综合库时使用的库器件；

2． 综合、布局布线使用quartus II自带工具；

3． 仿真使用ModelSim工具。

# 实验四 状态机设计与FPGA实现

**一．实验目的：**

1． 掌握可综合Verilog语言进行状态机设计及测试验证；

2． 学习如何在FPGA进行设计实现。

**二．实验内容：**

1. 跑马灯设计及FPGA实现（run.v）
2. 有限状态机设计（教材Figure 6.86）

**三、实验仪器、设备**

安装开发工具ModelSim、Quartus的PC机、Altera DEII-115实验箱

**四、实验步骤**

1．建立工程文件，编写模块源码和测试模块,要求测试模块能对源文件进行比较全面的测试。

2．编译源码和测试模块，用测试模块对源文件进行测试，并得到仿真波形图。

3.使用综合工具生成该设计电路图，并下载至FPGA开发板运行。

4．记录数据、波形、电路图等并完成实验报告。

**五、实验报告要求**

1． 描述采用QuartusII软件基本使用步骤（下）（附图），配合Altera DEII-115实验箱，进行FPGA硬件下载运行过程；

2． 要求实验报告中有编写模块源码和测试模块；

3． 要求实验报告中有综合后RTL图形；

4． 要求实验报告中有仿真后的波形；

5． 本次实验收获和心得；

6． 请提交电子版实验报告，文件名格式：班号\_学好\_姓名\_实验x.doc

**六、实验注意事项**

1． 采用Altera公司的Cyclone IV系列的EP4CE115F29C7型FPGA作为建立工程、代码编译、综合库时使用的库器件；

2． 综合、布局布线使用quartus II自带工具；

3． 仿真使用ModelSim工具。